

Jazi Eko Istiyanto

**Simulasi dan Sintesis
Rangkaian Digital dengan
Logisim dan VHDL**



GADJAH MADA UNIVERSITY PRESS

DAFTAR ISI

KATA PENGANTAR	v
DAFTAR ISI	vii
DAFTAR TABEL	xi
DAFTAR GAMBAR	xiii
BAB 1 PENDAHULUAN	1
1.1 <i>Field Programmable Logic Array</i> (Fpgas).....	2
1.2 Papan Fpgas	2
1.3 Topik Pembahasan Buku.....	3
BAB 2 PENGENALAN ORCAD	5
2.1 Memulai <i>Project</i> Baru	7
2.2 Membuat Skema	9
2.3 Mencari dan Menempatkan Komponen	10
2.4 <i>Wiring</i>	12
2.5 Hierarchical Part.....	15
2.6 Stimulus dan Sinyal.....	18
2.7 Sumber Sinyal.....	20
2.8 Simulasi	21
2.9 Praktik Terbaik Desain Rangkaian Elektronika	27
BAB 3 LOGISIM	29
3.1 Memulai Lembar Kerja Baru.....	30
3.2 Komponen.....	30
3.3 <i>Wiring</i>	35
3.4 Simulasi	36
BAB 4 <i>VIVADO DESIGN TOOLS</i>	39
4.1 <i>Project</i> Baru.....	41
4.2 <i>User Interface</i> Lembar Kerja.....	44

BAB 5	<i>VERY HIGH SPEED INTEGRATED CIRCUIT HARDWARE DESCRIPTION LANGUAGE (VHDL)</i>	47
	5.1 Pustaka.....	50
	5.2 Entitas	51
	5.3 Arsitektur	52
BAB 6	ELEKTRONIKA DIGITAL.....	57
	6.1 Rangkaian Kombinasional.....	64
	6.2 Rangkaian Sekuensial.....	78
	6.3 Desain Elektronika Digital.....	80
	6.4 Karakteristik Elektronika Digital.....	80
	6.5 Soal dan Penyelesaian.....	83
BAB 7	MULTIPLEXER DAN DEMULTIPLEXER.....	89
	7.1 Multiplexer	89
	7.2 Demultiplexer	105
	7.3 Penerapan Dan Penyelesaian.....	112
	7.4 Soal dan Penyelesaian.....	113
BAB 8	DEKODER DAN ENKODER.....	125
	8.1 Dekoder	125
	8.2 Enkoder.....	136
	8.3 Penerapan dan Penyelesaian.....	144
	8.4 Soal dan Penyelesaian.....	146
BAB 9	FLIP-FLOP.....	149
	9.1 Set Reset Ff.....	149
	9.2 Delay Fli--Flop	153
	9.3 Jk Flip-Flop.....	156
	9.4 T Flip-Flop	160
	9.5 Penerapan	162
BAB 10	MEMORY.....	167
	10.1 Random Access Memory.....	167
	10.2 Read Only Memory.....	170
	10.3 Penerapan dan Penyelesaian.....	171
	10.4 Soal dan Penyelesaian.....	172
BAB 11	SHIFT REGISTER.....	175
	11.2 PISO	177
	11.3 SIPO.....	178
	11.4 SISO	180
	11.5 Penerapan dan Penyelesaian.....	181

11.6	Soal dan Penyelesaian	183
BAB 12	LOOK UP TABLE (LUT)	185
12.1	Penerapan dan Penyelesaian	188
12.2	Soal dan Penyelesaian	190
BAB 13	STATE MACHINE.....	193
13.1	Mesin Mealy	193
13.2	Mesin Moore.....	197
13.3	Asynchronous Circuit.....	200
13.4	Synchronous Circuit.....	200
13.5	Penerapan dan Penyelesaian	201
BAB 14	OPTIMISASI.....	209
14.1	Entri Desain.....	209
14.2	Simulasi Desain dan Sintesis.....	209
14.3	Implementasi Desain	210
14.4	Pemrograman Perangkat.....	210
14.5	Teknik Optimasi Sintesis	210
14.6	Constraints Synthesis	212
14.7	Sintesis menggunakan Xilinx Vivado.....	213
14.8	Implementasi menggunakan Xilinx Vivado.....	227
	DAFTAR SINGKATAN.....	241
	DAFTAR PUSTAKA	243
	INDEKS	245
	TENTANG PENULIS.....	247